

CLIPPEDIMAGE= JP02000040789A

PAT-NO: JP02000040789A

DOCUMENT-IDENTIFIER: JP 2000040789 A

TITLE: HIGH-Q INDUCTOR ON SILICON SUBSTRATE

PUBN-DATE: February 8, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
DAVID, LEWIS HALAM	N/A
KENNETH, J STEIN	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
INTERNATL BUSINESS MACH CORP <IBM>	N/A

APPL-NO: JP10196834

APPL-DATE: July 13, 1998

INT-CL (IPC): H01L027/04;H01L021/822 ;H01F017/00

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a simple technique (trench) in which the capacity loss of a semiconductor device with regard to a substrate is reduced, whereby the value of the Q-value of an on-chip inductor is further increased.

SOLUTION: An integrated circuit 10 comprises a semiconductor substrate 12, a plurality of trenches 30 which are formed in the substrate are substantially parallel to each other and are separated from each other have each sidewall covered with an insulator 32, and are filled with a material 35 forming a continuous upper surface on the plurality of the trenches 30, an insulator layer 15 formed on the plurality of trenches separated from

each other, and electronic devices, such as inductors 37, 38 and 39 formed over the plurality of the trenches separated from each other. As a result, a high-resistance region with regard to the substrate is formed of the plurality of trenches, which are located under the electronic devices and are separated from each other.

COPYRIGHT: (C) 2000, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-40789

(P2000-40789A)

(43)公開日 平成12年2月8日(2000.2.8)

(51)Int.Cl.⁷

H 01 L 27/04
21/822
H 01 F 17/00

識別記号

F I

H 01 L 27/04
H 01 F 17/00

テーマコード*(参考)

L 5 E 070
B 5 F 038

審査請求 有 請求項の数9 O L (全 6 頁)

(21)出願番号

特願平10-196834

(22)出願日

平成10年7月13日(1998.7.13)

(71)出願人 390009531

インターナショナル・ビジネス・マシンズ・コーポレーション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(74)代理人 100086243

弁理士 坂口 博 (外1名)

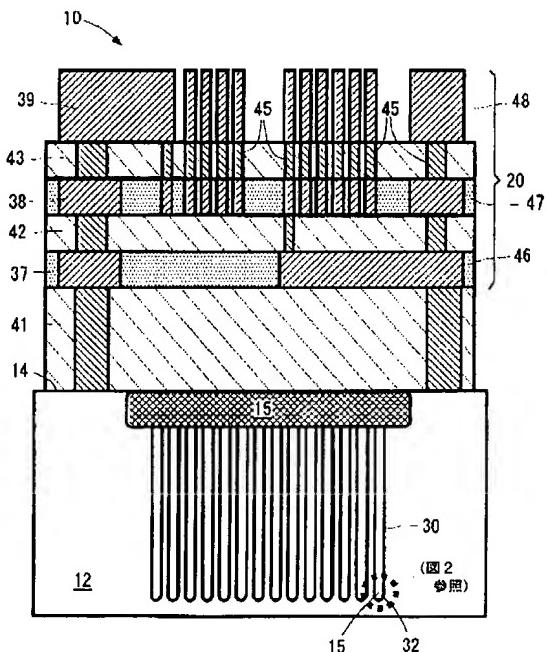
最終頁に続く

(54)【発明の名称】 シリコン上の高Qインダクタ

(57)【要約】

【課題】 低いQおよび低い自己共振周波数を有する渦巻きインダクタなど受動構成要素の問題を克服すること。

【解決手段】 半導体基板12と、半導体基板中に形成された互いに実質上平行な複数の離間したトレンチ30であって、絶縁体32で被覆された側壁を有し、前記複数のトレンチ上に連続的な上面を形成する材料35で充填されたトレンチ30と、前記複数の離間したトレンチ上に形成された絶縁体層15と、前記複数の離間したトレンチ上に形成されたインダクタ37、38、39など電子デバイスとを含み、それにより前記電子デバイスの下の前記複数の離間したトレンチが基板に対して高抵抗領域を形成する。



【特許請求の範囲】

【請求項1】半導体基板と、

前記半導体基板中に形成された互いに実質上平行な複数の離間した分離トレンチであって、前記基板の抵抗よりも大きい抵抗を有する材料で充填され、かつ前記複数のトレンチ上に連続的な表面を形成するために前記トレンチの上面まで充填される複数の離間した分離トレンチと、

前記複数の離間したトレンチ上に形成された絶縁層と、前記複数の離間したトレンチ上に形成された受動構成要素とを含み、それにより前記受動構成要素の下の前記複数の離間したトレンチが前記基板の抵抗に対して高い抵抗領域を形成する集積回路。

【請求項2】前記分離トレンチが、前記複数の分離トレンチの側壁上に形成された絶縁層をさらに含む請求項1に記載の集積回路。

【請求項3】前記絶縁層が、二酸化ケイ素および窒化ケイ素からなるグループから選択される請求項2に記載の集積回路。

【請求項4】前記分離トレンチが、二酸化ケイ素、窒化ケイ素、およびポリシリコンからなるグループから選択される材料で充填される請求項2に記載の集積回路。

【請求項5】二酸化ケイ素、窒化ケイ素、およびポリシリコンからなるグループから選択される材料で充填される浅いトレンチをさらに含み、かつ前記浅いトレンチが、3つの前記分離トレンチよりも広く、かつ前記複数の分離トレンチが配置される前記基板中に形成される請求項1に記載の集積回路。

【請求項6】前記第1の複数の離間したトレンチに交差する、前記半導体基板中に形成された互いに実質上平行な第2の複数の離間したトレンチをさらに含む請求項1に記載の集積回路。

【請求項7】前記第2の複数の離間したトレンチが前記第1の複数のトレンチと同じ位置に形成され、クロスハッチ・パターンを形成する請求項6に記載の集積回路。

【請求項8】前記第1および第2の複数の離間したトレンチが前記基板の体積を3対1またはそれよりも大きい比率で置換する請求項7に記載の集積回路。

【請求項9】半導体基板中に互いに実質上平行な複数の離間したトレンチを形成するステップと、前記トレンチを前記基板の抵抗よりも大きい抵抗を有する材料で充填し、かつ前記複数のトレンチ上に連続的な表面を形成するために前記トレンチを前記トレンチの上面まで充填するステップと、前記複数のトレンチ上に絶縁層を形成するステップと、前記複数のトレンチ上の前記絶縁層上に受動構成要素を形成するステップとを含む集積回路を形成する方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路に関し、

さらに詳細には、半導体基板上に製造される渦巻きインダクタおよび他の受動構成要素に関する。

【0002】

【従来の技術】アナログ用途および無線用途用に設計されたRFデバイスおよびマイクロ波デバイスは、一般に、周波数範囲およびトランジスタ動作速度のためにIII-V族ガリウムヒ素(GaAs)材料を使用して製造されている。

【0003】従来のシリコン・バイポーラ技術およびCMOS技術が最新技術を進歩させ続け、特にバイポーラ回路がGaAs集積回路の動作周波数に近づくにつれて、回路設計者は、大手メーカーにおいて使用される低コスト、高収量、大ウエハ直径のシリコン・ファンドリを利用して、いわゆる「III-V族」構成要素の性能に匹敵しうる集積回路を製造するようになった。

【0004】アナログ/混合信号回路の重要な構成要素は受動素子である。受動素子、すなわちインダクタおよび金属-絶縁体-金属(MIM)コンデンサは、特に電圧制御発振器(VCO)中のタンク回路の一部として高周波アナログ・デバイス中で必要とされる。

【0005】10~18オーム・センチメートルのシリコンとIII-V族材料との主要な差の1つは、シリコンの比較的低い基板抵抗率であり、これは、1~3桁程度低くなりうる。この低い抵抗率はバイポーラ・デバイスの機能にとって必要であるが、受動素子、特にオンチップ・インダクタのクオリティ(Q)ファクタが著しく劣化する。例えば、直列共振LC回路のQは、共振周波数におけるインダクタまたはコンデンサのリアクタンスを回路中の直列抵抗で割った値によって決定され、 $Q = X/R$ で表される。Xは、インダクタのリアクタンス($2\pi f L$)またはコンデンサのリアクタンス($1/(2\pi f C)$)であり、Rは抵抗である。これらのインダクタには、基板に対する容量損失があり、これらのインダクタンスおよびQファクタが高い周波数範囲において大きく低下する。シリコン基板上のインダクタ用のシミュレーション(SPIKE)モデルは、クオリティ(Q)値に悪影響を及ぼすファクタとして「インダクター基板間容量」を挙げている。

【0006】シリコン技術またはシリコン・ゲルマニウム技術では、(III-V族材料と比較して)抵抗率の比較的低い基板を使用して、デバイス間のクロストークおよび雑音を少なくする。低抵抗率ウエハ上に製造されるオンチップ・インダクタは、一般に不十分なQファクタを有し、チップ・メーカーは、追加の製造コストおよび複雑さを加えるオンチップ解決策または外因オンチップ解決策あるいはその両方を実施せざるを得ない。

【0007】

【発明が解決しようとする課題】本発明は、低いQおよび低い自己共振周波数を有する渦巻きインダクタなど受動構成要素の問題を克服する。

【0008】

【課題を解決するための手段】本発明によれば、半導体基板と、半導体基板中に形成された互いに実質上平行な複数の離間したトレンチであって、絶縁体で被覆された側壁を有し、複数のトレンチ上に連続的な上面を形成する材料で充填されたトレンチと、複数の離間したトレンチ上に形成された絶縁層と、複数の離間したトレンチ上に形成されたインダクタなど電子デバイスとを含み、それにより電子デバイスの下の複数の離間したトレンチが基板に対して高抵抗領域を形成する集積回路および製造方法が説明される。本発明は、基板に対する容量損失を低減し、それによりオンチップ・インダクタのQ値をさらに高める簡単な技法(トレンチ)を提供する。

【0009】本発明はさらに、電子デバイスがその上に製造される真性シリコン半導体基板領域を、真性ポリシリコンで充填された酸化物被覆のディープ(深い)トレンチによって形成された高抵抗領域で置換し、それにより電子デバイスの基板に対する容量損失を低減する方法を提供する。電子デバイスがインダクタである場合、この技法は、インダクタのピークQファクタを高める。

【0010】本発明はさらに、1つまたは複数の高Qインダクタがその上に製造される、基板中にディープ・トレンチのアレイを製造する方法を提供する。

【0011】本発明はさらに、回路間の電子クロストークに対して物理的障壁を形成するために半導体基板中にエッティングされるディープ・トレンチを形成することによってバイポーラ・デバイスを分離する方法を提供する。

【0012】本発明はさらに、半導体基板中にエッティングされ、次いで低圧化学気相付着(LPCVD)によって付着した酸化物で被覆され、LPCVD真性ポリシリコンで充填されるトレンチを提供する。

【0013】本発明はさらに、できるだけ多くの真性シリコン基板領域を酸化物/ポリシリコン充填ディープ・トレンチで置換し、実質上ただで、基板に対する容量損失が低減される方法を提供する。Qファクタの測定可能な増大が実現する。

【0014】さらに、インダクタなど電子デバイスの下のディープ・トレンチの総面積を最大にし、かつ設計のグランド・ルールを維持することが望ましい。隣接する電子デバイス要素に衝撃を与えないように適切なトレンチ幅、およびトレンチ間の間隔を維持しなければならない。

【0015】本発明はさらに、シリコンなど半導体基板のディープ・トレンチ置換を最大にするためにインダクタなど電子デバイスの下の全領域を覆う「クロスハッチした」トレンチの領域を提供する。

【0016】本発明はさらに、一般にCMOS集積回路中で使用される単一レベルまたは多重レベル金属層から構成される渦巻きインダクタを提供する。

【0017】

【発明の実施の形態】次に図面を参照すると、図1に集積回路10の断面図が示されている。インダクタ20がその上に形成されるSiやSiGeなど半導体である基板12が示されている。基板12中には、分離トレンチ30が製造されている。分離トレンチ30は、デバイス分離またはコンデンサ電荷記憶のために基板12中にエッティングされる。分離トレンチ30の深さは、可変であり、設計グランド・ルールおよびデバイス動作ガイドラインによって決定される。インダクタのクオリティ

(Q) ファクタを最大にする好ましい実施形態は、分離トレンチ30をシリコン基板12中にできるだけ深く、例えば4μmないし10μmの範囲内でエッティングすることである。分離トレンチ30は、一般に基板12の表面14に対して深さ6μmであり、一般に幅1μmであり、中心間隔2.5μmで離間する。浅いトレンチ15は、上面14中に形成され、分離トレンチ30が形成され、かつ材料で充填された後で材料で充填される。

【0018】図2に、分離トレンチ30の一部の拡大図20を示す。分離トレンチ30中には、2ないし500(キロオーム)などの範囲内で半絶縁材料または高抵抗材料の層または複数の層がある。例えば真性ポリシリコンなどの材料35は、トレンチ30の底面から、例えばシリコンなどの基板12の表面14まで充填されるか、または共形付着で充填し、かつエッチバック方法または平坦化方法によって基板12の表面14から余分の膜を除去することによって充填される。本発明の好ましい実施形態は、低圧化学気相付着テトラエチルオルトケイ酸塩(LPCVD TEOS)などによってトレンチ30の内壁面を数千オングストロームの酸化ケイ素32で被覆することである。酸化ケイ素32は共形度が高い。酸化ケイ素32または他の絶縁体を付着または形成した後、トレンチ30を、例えばドープされていないLPCVDポリシリコンなどの材料35で過充填する。材料35および上面14は、化学機械研磨(CMP)によって平坦化する。二酸化ケイ素32に代えて、窒化ケイ素を用いることもできる。

【0019】追加の処理ステップを実施して、例えば深さ500オングストロームの浅いトレンチ15を上面40の下に形成する。浅いトレンチ15は、トレンチ30の上部を除去し、また上面が長方形形状または正方形形状を有するようにすべてのトレンチよりも広く、かつすべてのトレンチと同じ長さか、またはすべてのトレンチよりも長い。浅いトレンチ15は二酸化ケイ素、窒化ケイ素または真性ポリシリコンのような材料で充填される。

【0020】また、追加のステップを実施して、バイポーラn型およびp型FETなどのデバイスを基板12中に形成する。

【0021】上面14の上には、金属層37、38、39

9から構成されるメタライゼーションの3つの層が示されている。金属層37、38、39をそれぞれ絶縁層41、42、43上に形成する。ピアまたはスタッドをそれぞれ絶縁層41、42、43中に穿孔し、タングステン、Al、AlCu、Al₂Cu、およびCuからなるグループから選択される金属など導電性金属で充填して、基板12中のデバイスと金属層37間および金属層37～39間に電気相互接続を形成する。金属層37、38、39をパターニングまたはエッチングし、次いでSiO₂などレベル間誘電体46、47、48をそれぞれ付着するか、またはフロー可能な酸化物でフローさせる。あるいは、金属層37、38、39を、最初にレベル間誘電体中に形成されたチャネルまたはグループ中にブランケット付着し、化学機械研磨(CMP)を実施して、チャネル中の金属を分離するレベル間誘電体との共面を形成する。金属層39が最後の金属層である場合、レベル間誘電体48は省略できる。図1に示すように、金属層およびレベル間誘電体はCMPによって平坦化される。絶縁層41、42、43もCMPによって平坦化される。

【0022】金属層37～39とともに、リソグラフィ・パターニング、配線金属層のサブトラクティブ・エッチング、またはレベル間層41～43のパターニング、金属による誘電体充填、およびCMPによるダマシングによってオンチップ・インダクタ20は、金属層37～39の單一レベルまたは多重レベルから形成することができる。図1において、2つの金属レベル、金属層38および39は、参考により本発明の一部となる1995年8月29日発行のM.ソユール(Soyer)他の米国特許出願第5446311号に詳細に説明されているレベル間ピア45を介して一緒に分路される。

【0023】図3は、図1に断面で示されたようなオンチップ・インダクタ20の平面図である。渦巻きインダクタ20は浅いトレンチ15上に形成される。浅いトレンチ15は、互いに平行な複数の分離トレンチ30上にある。インダクタ20の一端は端子51のところにあり、他端は端子52のところにある。

【0024】図4は、浅いトレンチ15、ならびに平行な分離トレンチ30と分離トレンチ30に交差する平行な分離トレンチ54とによって形成されるクロスハッチ分離トレンチの平面図である。その上に形成されたインダクタ20は図4に示されていない。いわゆる「クロスハッチ」レイアウトは、シリコン基板材料の体積を3:1よりも大きい率で交換する。

【0025】図5は、渦巻きインダクタのインダクタンス対周波数を示すグラフである。渦巻きインダクタは、図1に従って構成した。曲線62は、結合された金属層38および39を有する6巻き渦巻きインダクタのインダクタンスを示す。真下にあるディープ・トレンチ30

を有するデバイスは、曲線64によって示されるより高いピークQ値を有する。曲線64はまた、所与の周波数に対してより高いQ値を示す。

【0026】曲線63は、6巻き渦巻きインダクタの下にディープ・トレンチ30がない場合の上記のインダクタンスを示す。

【0027】曲線65は、6巻き渦巻きインダクタの下にディープ・トレンチ30がない場合の上記のQ値を示す。

- 10 【0028】以上、半導体基板中に形成された高抵抗領域上にインダクタなど受動構成要素を含み、高抵抗領域または体積が複数の平行な分離トレンチまたはクロスハッチ分離トレンチを含む集積回路について説明し、図示したが、頭記の請求の範囲によってのみ限定される本発明の広い範囲から逸脱することなく修正および変更を加えることができることが当業者には明らかであろう。

【0029】まとめとして、本発明の構成に関して以下の事項を開示する。

- 【0030】(1) 半導体基板と、前記半導体基板中に形成された互いに実質上平行な複数の離間した分離トレンチであって、前記基板の抵抗よりも大きい抵抗を有する材料で充填され、かつ前記複数のトレンチ上に連続的な表面を形成するために前記トレンチの上面まで充填される複数の離間した分離トレンチと、前記複数の離間したトレンチ上に形成された絶縁層と、前記複数の離間したトレンチ上に形成された受動構成要素とを含み、それにより前記受動構成要素の下の前記複数の離間したトレンチが前記基板の抵抗に対して高い抵抗領域を形成する集積回路。
 20 (2) 前記分離トレンチが、前記複数の分離トレンチの側壁上に形成された絶縁層をさらに含む上記(1)に記載の集積回路。
 (3) 前記絶縁層が、二酸化ケイ素および窒化ケイ素からなるグループから選択される上記(2)に記載の集積回路。
 (4) 前記分離トレンチが、二酸化ケイ素、窒化ケイ素、およびポリシリコンからなるグループから選択される材料で充填される上記(2)に記載の集積回路。
 (5) 二酸化ケイ素、窒化ケイ素、およびポリシリコン
 40 からなるグループから選択される材料で充填される浅いトレンチをさらに含み、かつ前記浅いトレンチが、3つの前記分離トレンチよりも広く、かつ前記複数の分離トレンチが配置される前記基板中に形成される上記(1)に記載の集積回路。
 (6) 前記第1の複数の離間したトレンチに交差する、前記半導体基板中に形成された互いに実質上平行な第2の複数の離間したトレンチをさらに含む上記(1)に記載の集積回路。
 (7) 前記第2の複数の離間したトレンチが前記第1の複数のトレンチと同じ位置に形成され、クロスハッチ・

パターンを形成する上記(6)に記載の集積回路。

(8) 前記第1および第2の複数の離間したトレンチが前記基板の体積を3対1またはそれよりも大きい比率で置換する上記(7)に記載の集積回路。

(9) 半導体基板中に互いに実質上平行な複数の離間したトレンチを形成するステップと、前記トレンチを前記基板の抵抗よりも大きい抵抗を有する材料で充填し、かつ前記複数のトレンチ上に連続的な表面を形成するために前記トレンチを前記トレンチの上面まで充填するステップと、前記複数のトレンチ上に絶縁層を形成するステップと、前記複数のトレンチ上の前記絶縁層上に受動構成要素を形成するステップとを含む集積回路を形成する方法。

【図面の簡単な説明】

【図1】本発明の一実施形態の断面図（縮尺は一定でない）である。

【図2】分離トレンチ30を示す図1の一部の拡大図である。

【図3】図1の実施形態の平面図である。

【図4】クロスハッチ分離トレンチ上にピアおよび金属層37～39を着する前の図1の代替実施形態の平面図である。

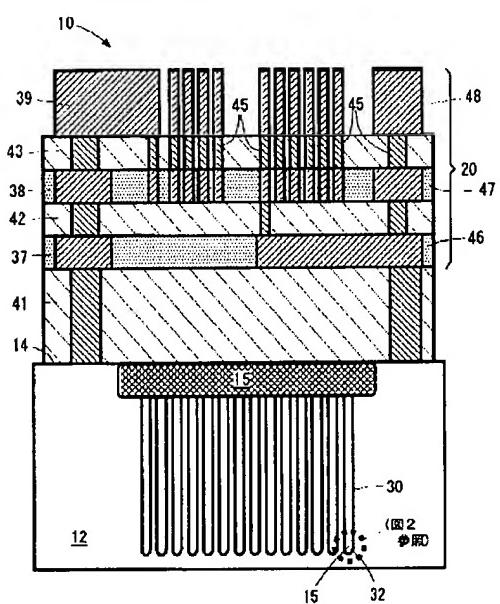
【図5】図1に従って作成した渦巻きインダクタのインダクタンスを周波数の関数として示すグラフである。参

照のために、下に分離トレンチを使用せずに作成した渦巻きインダクタのインダクタンスも同じシリコン・ウエハ上に製造されたものとして示してある。周波数の関数としてのインダクタのQファクタも示してある。

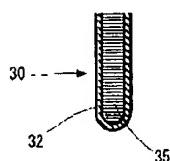
【符号の説明】

10	集積回路
12	基板
14	表面
15	浅いトレンチ
20	インダクタ
30	分離トレンチ
32	酸化ケイ素
35	材料
37	金属層
38	金属層
39	金属層
41	絶縁層
42	絶縁層
43	絶縁層
45	レベル間ピア
46	レベル間誘電体
47	端子
48	端子

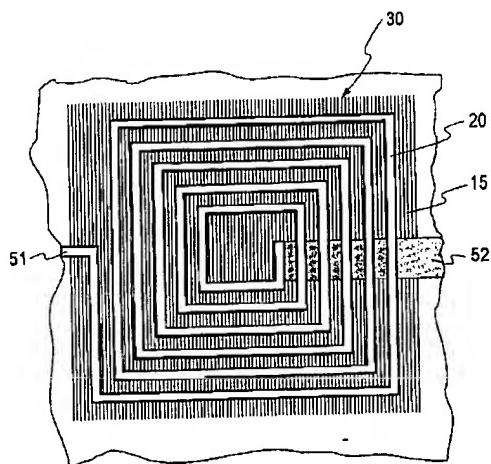
【図1】



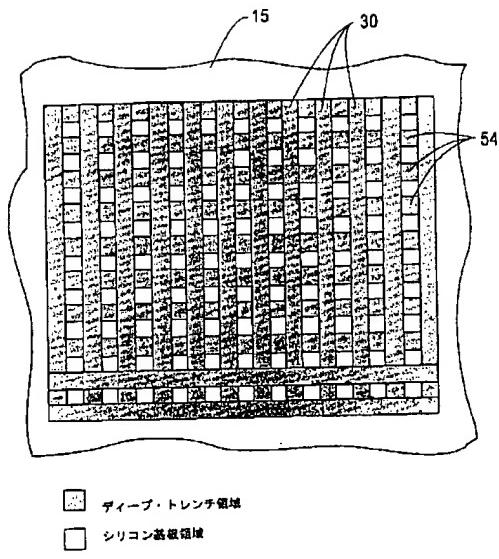
【図2】



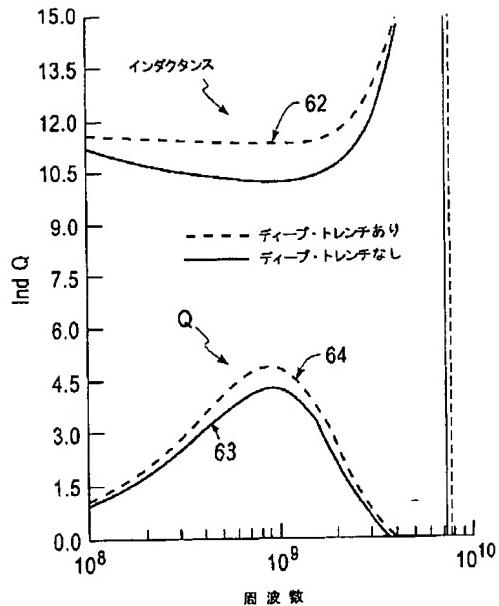
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 デービッド・ルイス・ハラム
アメリカ合衆国10547 ニューヨーク州モ
ヒガン・レイク シルヴァン・レーン
1589

(72)発明者 ケネス・ジェイ・シュタイン
アメリカ合衆国06482 コネティカット州
サンディ・フック リバーサイド・ロード
31
Fターム(参考) 5E070 AA01 AB06 AB07 CB12 CB17
CB20 CC10 DB08
5F038 AC01 AZ04 DF01 DF12 EZ01
EZ20